

Lösung zum 1. Übungsblatt zur Vorlesung Rechnerstrukturen: VHDL, Leistungsbewertung

Die Musterlösung ist nach der Übung im WWW unter <http://wwwipr.ira.uka.de/~lehre/RS/index.html> zu finden.

Aufgabe 1:

```
ENTITY cnt IS
  PORT (EN, R, CLK : IN bit;
        Q0, Q1    : OUT bit);
END cnt;

ENTITY enc IS
  PORT (I0, I1    : IN bit;
        O0, O1, O2, O3 : OUT bit);
END enc;
```

Aufgabe 2:

```
ARCHITECTURE behaviour OF cnt IS
  SIGNAL state : integer RANGE 0 TO 4 := 0; --zaehler(zu)stand
BEGIN
  PROCESS (CLK, R)
  BEGIN
    IF (EN = '1') THEN
      IF (R = '1') THEN
        state <= 0;
      ELSIF ( CLK'event AND CLK = '1' ) THEN
        state <= state +1;
      END IF;
      IF (state = 4) THEN
        state <= 0;
      END IF;
    END IF;
  END PROCESS;

  --nebenläufige Zuweisungen
  Q0 <= '1' WHEN state = 1 ELSE
        '1' WHEN state = 3 ELSE
        '0';
  Q1 <= '1' WHEN state = 2 ELSE
        '1' WHEN state = 3 ELSE
        '0';
END behaviour;
```

Aufgabe 3:

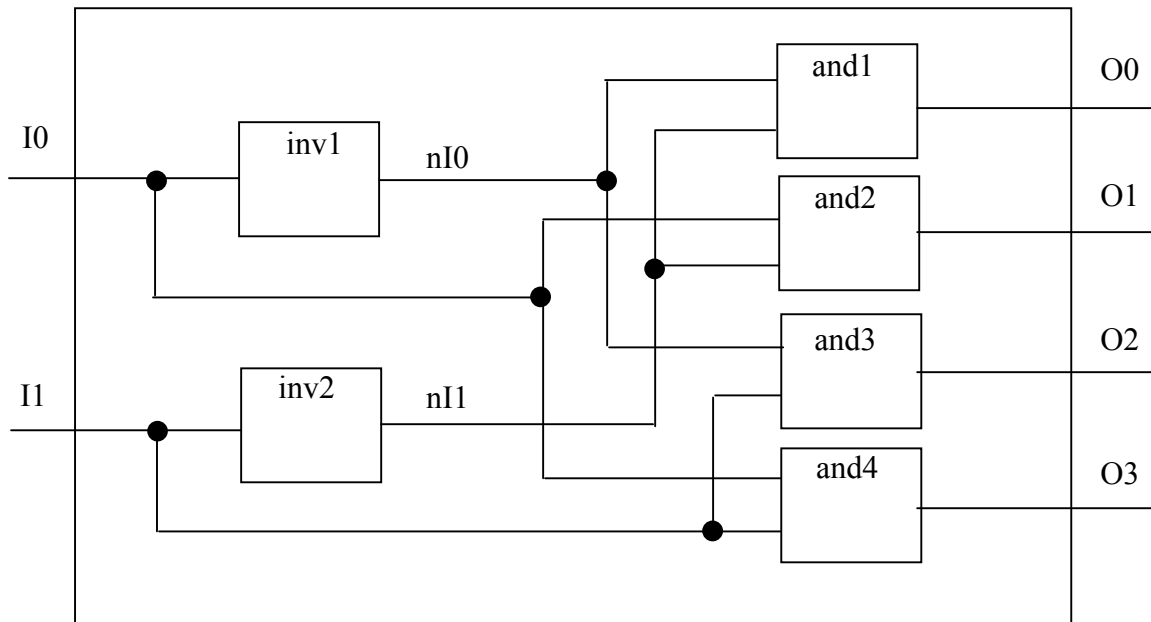
Folgendes Schaltbild realisiert einen korrekten Encoder:

$$O0 = nI1 \ \& \ nI0$$

$$O1 = nI1 \ \& \ I0$$

$$O2 = I1 \ \& \ nI0$$

$$O3 = I1 \ \& \ I0$$



ARCHITECTURE structural **OF** enc **IS**

```
COMPONENT inv  -- Komponentendeklaration
  PORT (a : IN bit;
        y : OUT bit);
END COMPONENT;
COMPONENT and
  PORT (a, b : IN bit;
        y : OUT bit);
END COMPONENT;
SIGNAL nI0, nI1 : bit;
```

BEGIN

```
  inv1 : inv          -- Komponenteninstanziierung
    PORT MAP (I0, nI0); --implizit Reihenfolge wichtig
  inv2 : inv
    PORT MAP (I1, nI1);
  and1 : and
    PORT MAP (nI0, nI1, O0);
  and2 : and
    PORT MAP (I0, nI1, O1);
  and3 : and
    PORT MAP (y => O2, b => I1, a = nI0); -- explizit Reihenfolge beliebig
  and4 : and
    PORT MAP (I0, I1, O3);
END structural;
```

Aufgabe 4:

Anzahl Instruktionen: $135000 + 96000 + 45000 + 8000 = 284000$

Taktzyklen: $135000 \cdot 1 + 96000 \cdot 2 + 45000 \cdot 2 + 8000 \cdot 3 = 441000$

Zykluszeit: $1/1,2 \text{ GHz} = 0,83 \cdot 10^{-9} \text{ s}$

Ausführungszeit = $441000 \cdot 0,83 \cdot 10^{-9} \text{ s} = 0,3675 \cdot 10^{-3} \text{ s}$

CPI = $441000/284000 = 1,5528$

MIPS = Instruktionen / (Ausführungszeit $\cdot 10^6$) = $284000 / 367,5 \text{ s} = 772,8$

MFLOPS = Instruktionen / (Ausführungszeit $\cdot 10^6$) ; wobei Ausführungszeit **nur** für Fließkommaberechnung:

MFLOPS = $45000 / (45000 \cdot 2 \cdot 0,83 \cdot 10^{-3} \text{ s}) = 600$

Aufgabe 5:

	Code 1	Code 2
Anzahl Instruktionen	$7 \cdot 10^6$	$12 \cdot 10^6$
Taktzyklen	$5 \cdot 10^6 + 2 \cdot 10^6 + 3 \cdot 10^6 = 10 \cdot 10^6$	$10 \cdot 10^6 + 2 \cdot 10^6 + 3 \cdot 10^6 = 15 \cdot 10^6$
Zykluszeit	$1/100 \text{ MHz} = 1 \cdot 10^{-8} \text{ s}$	$1/100 \text{ MHz} = 1 \cdot 10^{-8} \text{ s}$
Ausführungszeit	$10 \cdot 10^6 \cdot 1 \cdot 10^{-8} \text{ s} = 10 \cdot 10^{-2} \text{ s}$	$15 \cdot 10^6 \cdot 1 \cdot 10^{-8} \text{ s} = 15 \cdot 10^{-2} \text{ s}$
MIPS	$7 \cdot 10^6 / 10 \cdot 10^4 \text{ s} = 70$	$12 \cdot 10^6 / 15 \cdot 10^4 \text{ s} = 80$

MIPS bei Code2 besser, obwohl Code2 definitiv schlechter da längere Ausführungszeit.

Sowohl Ausführungszeit als auch MIPS abhängig vom Programm und von verwendetem Befehlssatz. Maschinen mit unterschiedlichem Befehlssatz sind unvergleichbar mit MIPS.

Lösung: Vergleich mittels Ausführungsdauer realer Anwendungen (siehe: SPEC). Aber immer noch compilerabhängig!!

Aufgabe 6:

a) Systembus: 100MHz / 133MHz

b)

	Base Runtime 1	Base Runtime 2	Base Runtime 1/2
171.swim	1182	929	1,27
177.mesa	277	266	1,04
179.art	1076	833	1,29
200.sixtrack	661	652	1,01

große Verbesserung bei 171.swim und 179.art => fast vollkommene Abhängigkeit vom Speicherzugriff (jeweils 30% bei Systembus und Leistungssteigerung)

keine Verbesserung bei 177.mesa und 200.sixtrack => keine Abhängigkeit vom Speicherzugriff.

c) Da 171.swim und 179.art stark vom Speicherzugriff abhängen, kaum Änderung bei Erhöhung der CPU Leistung. (Beide eignen sich zum Bewerten des Speicherzugriffs)

Da 177.mesa und 200.sixtrack kaum vom Speicherzugriff abhängen, starke Leistungssteigerung bei Erhöhung der CPU Leistung. (Beide eignen sich zur Bewertung der CPU Leistung.

<http://www.digit-life.com/articles/withdescription/insidespeccpu2000/insidespeccpu2000-pentium4.html>)